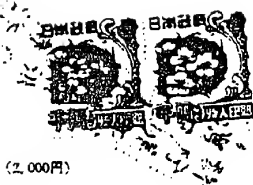


Concise Statements

Reference (Inventor)	Publication Date	Concise Statements
JP 48-022285 (Hatsukano)	03/20/1973	In a method of manufacturing a MOS semiconductor device, it is disclosed that an insulating film made of $\text{SiO}_2$ film 14 (approximately 1000 Å) is formed on a surface of Si wafer 11 by a thermal oxidation method, and an insulating film made of $\text{Si}_3\text{N}_4$ film 15 (300 ~ 400 Å) is formed on the $\text{SiO}_2$ film 14 by decomposing a mixture gas of $\text{SiH}_4$ and $\text{NH}_3$ . And polycrystalline Si film 16 is formed on the $\text{Si}_3\text{N}_4$ film 15 by decomposing $\text{SiH}_4$ gas.
JP 47-018278 (Mishimagi)	09/13/1972	In a method of manufacturing a semiconductor device, it is disclosed that an insulating film made of $\text{SiO}_2$ film 4 is formed on a Si substrate by a thermal oxidation method. And $\text{Si}_3\text{N}_4$ film 5 is formed on the $\text{SiO}_2$ film 4 by a vapor phase reaction of $\text{SiH}_4$ and $\text{NH}_3$ for example. It is preferable to set a thickness in each of the $\text{SiO}_2$ film 4 and the $\text{Si}_3\text{N}_4$ film 5 to 300 ~ 500 Å, respectively.
JP 02-148132 (Aoe)	12/17/1990	In thin film transistors of an active matrix type liquid crystal display device, a drain region 3'', a channel region, and a source region 3' are made of a polycrystalline silicon film 3, wherein the silicon film in the channel region and the source region 3' are thinner than the silicon film in the drain region 3''.
JP 49-078483 (Hirabayashi)	07/29/1974	In forming an oxide film containing halogen ions on a semiconductor substrate, the halogen ions are introduced by an ion implantation method. Thereby, pinholes in the oxide film can be reduced and quality of the oxide film can be enhanced.



(2,000円)



特 許 願 (1)

昭和 46 年 7 月 28 日

特許庁長官 殿

発 明 の 名 称 **ＭＯＳ半導体装置の製造法**  
 発 明 者 **日立製作所**  
 住 所 **東京都小平市上水本町 1430 番地**  
**日立製作所 日立製作所 日立製作所**  
**日立製作所 日立製作所 日立製作所**  
 住 所 **茨城県 日立市 日立製作所**  
**日立製作所 日立製作所 日立製作所**

特許出願人

住 所 **東京都千代田区丸の内一丁目 5 番 1 号**  
 代 理 人 **日立製作所**  
**日立製作所 日立製作所 日立製作所**

代 理 人

住 所 **東京都千代田区丸の内一丁目 5 番 1 号**  
**日立製作所**  
**日立製作所 日立製作所 日立製作所**  
 電 話 **東京 270-2111 (大代表)**  
 電 話 **(0350) 弁理士 小川 勝**



明 細 書

発明の名称 **ＭＯＳ半導体装置の製造法**

特許請求の範囲

シリコンゲート **ＭＯＳ** 半導体装置の製造にあつて、半導体基板 11 のゲートを形成すべき部分と一部でオーバーラップするように基板導電型と反対導電型の拡散領域 13 を形成し、該基板上に絶縁膜 14, 15 を介してシリコンゲート 16 を形成した後、上記拡散領域 13 の一部にソースが含まれるようにソースおよびドレイン領域 17, 18 を形成することを特徴とする **ＭＯＳ** 半導体装置の製造法。

発明の詳細な説明

本発明は **ＭＯＳ** 半導体装置、特にシリコンゲート **ＭＯＳ** 半導体装置の製造法に関する。

シリコンゲート **ＭＯＳ** 半導体装置は通常の **ＭＯＳ** 半導体装置におけるゲート電極に多結晶 **Ｓｉ** (シリコン) を採用したものであり、これにより、しきい電圧を低減させることを意図したものである。

**Ｓｉ** ゲート **ＭＯＳ** 半導体装置を製造する場合の

(1)

②特願昭 46-55940 ①特開昭 48-22285

④3 公開昭 48.(1973) 3.20 (全 7 頁)  
審査請求 無

⑬ 日本国特許庁

# 公開特許公報

庁内整理番号

6426 57

⑤2 日本分類

99(5)E3

従来の主要製造工程としては、第 1 図に示すように、(a) **Ｓ** 型の **Ｓ** **１** ウエハ上に第 1 次熱酸化による  $0.5 \sim 1 \mu$  の **Ｓ** **１** **０**、膜 2 を部分的に形成し、(b) 第 2 次熱酸化による  $600 \sim 1000 \text{ \AA}$  の **Ｓ** **１** **０**、膜 3 をウエハ露出部分に形成し、(c) この上に  $300 \sim 400 \text{ \AA}$  の **Ｓ** **１** **０**、膜 4 を形成し、さらにシランの熱分解等により  $8000 \text{ \AA}$  程度の多結晶 **Ｓ** **１** 層 5 を成長させ、(d) フォトエッチング処理によつてソース・ドレイン部分の **Ｓ** **１** 層を露出させ、(e) **Ｐ** 型拡散によるソース領域 6 およびドレイン領域 7 を形成する方法が採用されている。

上記方法により製造された **Ｓ** **１** ゲート **Ｍ** **Ｏ** **Ｓ** 素子においては、特にゲート電極と **Ｐ** **+** 型拡散層 6, 7 のオーバーラップは横方向拡散距離だけであるので、電極間容量は大幅に減少する。

この **Ｓ** **１** ゲート **Ｍ** **Ｏ** **Ｓ** 素子は前述した如く低いしきい電圧を有しているため、これを集積回路装置に適用すればかかる回路装置は低い電源電圧及び信号電圧で駆動され得、これにより高速かつ低い消費電力で動作する回路装置を得ることができ

(2)

る。

然しながら $\text{Si}$ ゲート $\text{MOS}$ 素子のこの低いしきい電圧と小さい電極間容量が必ずしも回路装置の動作に望ましい特性を与えることとはならず、後述する如き或る場合には一方の電極間容量を可能な限り減少せしめ、他方の電極間容量を適当に大きくすることが望ましい。

本発明は上記した点にかんがみて、 $\text{Si}$ ゲート $\text{MOS}$ 半導体装置の製造プロセスにさらに改善を行なつたものであり、その一つの目的は最適な動作を行なう $\text{Si}$ ゲート $\text{MOS}$ 素子を実現することであり、また他の目的としては、 $\text{MOS-IC}$ の製造において多層配線形成を有利ならしめることである。

本発明の要旨は、シリコンゲート $\text{MOS}$ 半導体装置の製造において、半導体基板のゲートを形成すべき部分の一部でオーバーラップするように基板導電型と反対導電型の拡散領域を形成し、絶縁膜を介してシリコンゲートを形成した後、上記拡散領域の一部にソースまたはドレインが含まれるよ

(3)

(c) このあと、表面の $\text{SiO}_2$ 膜12をすべて取除くか、あるいは同図のようにソース、ドレイン、ゲートを形成すべき部分の $\text{SiO}_2$ 膜をフォトエッチングにより選択的に取除く。

(d) 熱酸化により、露出する $\text{Si}$ ウェハ表面に $\text{SiO}_2$ 膜14を薄く(1000Å程度)形成させる。

(e) 上記 $\text{SiO}_2$ 膜14の上 $\text{SiH}_4$ 、(シラン)、 $\text{NH}_3$ 、(アンモニア)の混合ガスの熱分解により300~400Åの $\text{Si}_3\text{N}_4$ 膜15を形成させる。さらにその上 $\text{SiH}_4$ の熱分解により8000Å程度の多結晶 $\text{Si}$ 層16を沈着させる。

(f) フォトエッチング処理によりゲート電極を形成するように多結晶 $\text{Si}$ 層の不要部分を取除く。この際のエッチング液には、 $\text{H}_2\text{F}$ - $\text{HNO}_3$ 系が使用される。次にゲートとして残つた $\text{Si}$ 層16aをマスクとして $\text{Si}_3\text{N}_4$ 膜15を加熱した硝酸で取除き、次いで上記 $\text{Si}$ 層16の所定部分及びその近傍のウェハ表面のみを露出するようにホトマスクを形成し露出する $\text{SiO}_2$ ;

(5)

うにソースおよびドレイン領域を形成することを特徴とするものである。

第2図は本発明によるシリコンゲート $\text{MOS}$ トランジスタの製造法を示す実施例であつて、以下、各工程に従つて説明する。

(a)  $\text{p}$ 型 $\text{Si}$ ウェハ11(厚さ310μ、比抵抗5~10Ωcm)を用意し、その主面表面に5000~8000Åの熱酸化 $\text{SiO}_2$ 膜12を形成し、フォトリソ処理を行なつて膜 $\text{SiO}_2$ 膜の窓開エッチングを行い、 $\text{Si}$ ウェハの一部を露出させる。このようにエッチングされる部分は、 $\text{MOS}$ トランジスタのソース(またはドレイン)領域となるべき部分(点線で示す)およびゲートとなるべき一部を含む部分である。この場合、ソース領域とゲート部とのオーバーラップ間隔4は3μあるいはそれ以上にとつてかくとよい。

(b) 上記 $\text{SiO}_2$ 膜の窓開部分より $\text{p}$ 型不純物、例えば $\text{B}$ (ボロン)を拡散して $\text{Si}$ ウェハの一部に $\text{p}^+$ 型拡散領域13(表面濃度 $10^{17}/\text{cm}^2$ 、深さ4~5μ)を形成する。

(4)

膜14を $\text{H}_2\text{F}$ 系または $\text{NH}_4\text{F}$ 系の液で取除く。

(c) これにより露出したソース、ドレイン領域となすべき $\text{Si}$ 基板の表面部分に対して、 $\text{B}$ (ボロン)の拡散を行ない、 $\text{p}$ 型拡散からなるソース17およびドレイン18を形成する。上記ソース17は $\text{p}^+$ 型領域13の中に埋蔵されることになる。この拡散によつて $\text{Si}$ ゲート層にも不純物が拡散され、その比抵抗を低下させることになる。

(d) 全面に低温(400℃)で $\text{SiH}_4$ 等の酸化による $\text{SiO}_2$ 膜19を5000~8000Å程度に沈積し、次いでフォトエッチング処理によりコンタクトホールを作る。

(e) 最後に $\text{Al}$ (アルミニウム)を蒸着し、配線パターンに従つて不要部を除去することにより、ソースおよびドレインに接続する電極20、21を形成する。ゲート電極となる多結晶 $\text{Si}$ 層は他の個所で $\text{SiO}_2$ 膜19にコンタクトホールが作られ、適宜に $\text{Al}$ 配線22と接続される。

なお、上記(c)工程において、拡散法に代えて不

(6)

純物イオン打込法によるp型層(ソース、ドレイン)を形成してもよい。

第3図は他の実施例を示すものであり、第2図と同符号は第2図を準用する。このトランジスタはソース17側のp型拡散層13の形成と同時にドレイン18側にも拡散層30が形成されている点が前記実施例と異なる。

この実施例ではソース17及び18が拡散層13及び30よりも高比抵抗とされ、ドレインp-n接合における空乏層がドレイン18側にも充分に延びるようにしている。すなわちソース・ドレイン間電圧が変化しても該電圧の影響を受ける有効チャネル長の変化が少なくなるようにされている。ソース及びドレイン電極20, 21を接続する部分の81表面はp型拡散層13及び30内に不純物を導入してソース17及びドレイン領域18を形成するため充分低比抵抗とされ、よって良好な抵抗接触とされる。

この実施例はp型領域13及び30を形成するための酸化膜からなる拡散マスクとソース及びド

(7)

るの好ましくないことが有る。このようなときは上記オーバーラップを所望しないMOS素子のゲートの延長する方向を予め他のMOS素子に対し回転(例えば直角に)させておく。すなわち例えば上記オーバーラップが不所望なMOS素子に対してはそのゲート延長方向を前記同一種の露光マスクの移動方向と同じにしておき、またオーバーラップ幅を一部のMOS素子についてのみ減少させたときはかかる素子のみ上記回転角を適当にする。

第4図は本発明の81ゲートMOS半導体装置の実用例を示すものである。同図の回路装置は81ゲートMOSトランジスタT<sub>1</sub>乃至T<sub>4</sub>から構成されており、個々のトランジスタは例えば共通のM型31基板表面に前述の第2図の製法によりp型領域、ソース・ドレイン領域、ゲート及び電極配線が形成される。MOSトランジスタT<sub>1</sub>はそのソース領域に拡散層13を有しており、ゲート・ソース電極間容量がゲート・ドレイン電極間容量よりも大とされている。MOSトランジスタT<sub>2</sub>乃至T<sub>4</sub>は拡散層13を有せず、

(9)

ドレイン領域17, 18を形成するための拡散マスクの開孔部はその相互に於て同一寸法配置とされる。従つて基板表面の酸化膜をホトエッチして拡散マスクとするときのホトマスクを形成するための露光マスクは一種のみでよく、拡散層13及び30を形成した後でソース及びドレイン領域17, 18を形成するときは上記露光マスクを所定長だけ平行移動するだけで良い。

通常、半導体装置の製造は、同一半導体ウェーハ上に単体素子もしくは半導体装置の複数個が同時に形成され、後にクラッキング等の技術により個々のものに分離されるのであり、上記の如く二種類の拡散に於て一種類の露光マスクを適用し得ることは露光マスク自体のゆがみに起因する誤差の減少を計る上で、またはマスク合せ精度を向上する上で有用である。なおMOS集積回路装置に於ては同一半導体基板上に複数個のMOS素子が形成されるのであり、この場合後述する回路装置の如く全てのMOS素子に第3図の如くゲート16と拡散領域13を大きくオーバーラップさせ

(8)

上記電極間容量の大小関係を生ずるにはしては、いずれの電極間でもその静電容量が最小となるようにされている。上記MOSトランジスタT<sub>1</sub>乃至T<sub>4</sub>の相互間の接続は拡散層もしくは81基板表面に絶縁(810<sub>1</sub>)膜を介して形成されたM<sub>1</sub>等の導電層により行なわれる。MOSトランジスタT<sub>1</sub>乃至T<sub>4</sub>はpチャネル型であり、しかもノーマルオフ型すなわちエンハンスメント型である。

T<sub>1</sub>及びT<sub>2</sub>はブツンブル回路を構成しており、T<sub>1</sub>のドレインは電源ライン-V<sub>DD</sub>に電氣的に接続され、T<sub>2</sub>のソースはアースラインに電氣的に接続されている。T<sub>1</sub>のソースとT<sub>2</sub>のドレインとは短絡されここから出力端子100が導出される。T<sub>2</sub>及びT<sub>3</sub>のゲートにはそれぞれ互いに反転された電気信号が印加されるようにされる。T<sub>2</sub>のゲートには入力端子101が直接接続され、T<sub>3</sub>のゲートにはT<sub>2</sub>のドレインが電氣的に接続されている。T<sub>4</sub>はインバータ用のMOSトランジスタでありそのソースはアースラインに接続さ

(10)

れ、そのゲートは入力端子101に接続されている。T<sub>1</sub>のドレインには負荷MOSトランジスタ回路を構成するT<sub>2</sub>乃至T<sub>3</sub>及び容量C<sub>1</sub>が接続されている。従つてT<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>及びC<sub>1</sub>の相互接続回路はインバータ回路を構成する。負荷MOSトランジスタT<sub>2</sub>はそのドレイン及びゲートが電源ラインV<sub>DD</sub>に接続され、そのソースがT<sub>1</sub>のドレインに接続されている。被線103内のT<sub>3</sub>、T<sub>4</sub>及びC<sub>2</sub>の相互接続はブートストラップ回路を構成している。T<sub>4</sub>はT<sub>1</sub>のゲートにバイアス電圧を与えるための負荷MOSトランジスタでありそのゲートとドレインは電源ラインV<sub>DD</sub>に接続され、ソースはT<sub>1</sub>のゲートに接続されている。C<sub>2</sub>はT<sub>1</sub>のS1ゲート・ソース間に印加されるバイアス電圧を保持するためのものである。このC<sub>2</sub>はT<sub>1</sub>と別個に設けられるのではなく前述した如くT<sub>1</sub>のソースに拡散層13を導通することによりT<sub>1</sub>のゲート・ソース間に形成されるものを以下の説明に便利ならしめるため図示したものである。かかるブートストラップ回路

03

遅延は小さい方が望ましい。

ここで本応用例では、T<sub>2</sub>とT<sub>3</sub>の構成するブッシュアップ回路が低い出力インピーダンスを有するのでC<sub>1</sub>による悪影響は著しく低減される。

そしてC<sub>1</sub>による悪影響は以下説明するようにブートストラップ回路を適用したことにより除去される。説明を簡単にするためT<sub>1</sub>にステップ状に変化する信号を与えてスイッチング動作させるものとする。

先ずT<sub>1</sub>のS1ゲートにしきい電圧を超える負電圧が与えられてから従つてT<sub>1</sub>はオン状態にあるものとする。このときT<sub>1</sub>のドレイン電位はかかるT<sub>1</sub>のソース・ドレイン間のインピーダンスとT<sub>2</sub>乃至T<sub>3</sub>が構成する回路のインピーダンスによつて決まり、アース電位とほぼ等しい。C<sub>1</sub>の両端の電位差は電源電圧-V<sub>DD</sub>からT<sub>1</sub>のしきい電圧及びT<sub>1</sub>のドレイン電圧を差引いた値に等しい。この状態からT<sub>1</sub>をオフさせるようにT<sub>1</sub>の入力信号電圧を変化させる。このとき浮遊容量C<sub>1</sub>にはT<sub>2</sub>、T<sub>3</sub>を介して電源-V<sub>DD</sub>から

03

に於てT<sub>1</sub>のソース電位が変化するときのC<sub>1</sub>の印加電圧はほとんど変化しないようにされ、従つてT<sub>1</sub>のゲートの電位はそのソースにおける電位変化が有るときかかるソース電位の変化と同方向でしかもほぼ同じ値の変化をする。かかるブートストラップ回路に於てT<sub>1</sub>のソースからみる過渡的なインピーダンスはC<sub>1</sub>を用いてソース電位をゲートに帰還することにより著しい変化をする。

回路装置、特にMOS集積回路装置に於ける浮遊容量は周知の通り配線と半導体基板間及びpn接合に於て形成される。図示する回路装置に於てはかかる浮遊容量の内代表的なものをC<sub>1</sub>、C<sub>2</sub>で示す。

上記C<sub>1</sub>、C<sub>2</sub>は一種の積分回路の容量を構成し、よつて図示する回路の動作速度を低下せしめ、かかる回路にスイッチング動作を行なわせるときにはC<sub>1</sub>によりブッシュアップ回路のT<sub>1</sub>の動作がT<sub>2</sub>よりも遅延される。この遅延によりT<sub>2</sub>とT<sub>3</sub>の動作時間に差異が生ずるとこれはまた転送信号波形の劣化を生じさせるようになる。かかる

03

電流が供給され、C<sub>1</sub>の電位が上昇する。このとき被線で示すブートストラップ回路は前記したより本理由により急激にその内部インピーダンスを低下する。従つてC<sub>1</sub>に対する充電は加速度的に行なわれ、T<sub>1</sub>の入力信号に対する出力信号すなわちT<sub>1</sub>のドレイン側信号の遅れは著しく低減される。逆にT<sub>1</sub>がオフ状態からオン状態に変えられるときはC<sub>1</sub>の電荷はT<sub>1</sub>を介して放電される。

本応用例ではMOSトランジスタT<sub>2</sub>として第2図(1)に示した如きトランジスタを使用したことによりC<sub>1</sub>を特別に必要としない。

S1ゲートMOSトランジスタの第2図(a)乃至(1)に示した製法によればT<sub>1</sub>のゲート・ソース電極間容量を充分に大ならしめることができるとともに該トランジスタのゲート・ドレインの不所望な電極間容量を充分に低減せしめることができる。

第4図に於て負荷MOSトランジスタT<sub>2</sub>は必ずしも必要としないが、下記の理由により特に低い電源電圧でかかる回路装置を動作させるときに

04

これを設けておくことが望ましい。すなわち  $T_1$ 、乃至  $T_2$  に於て  $B_1$  ゲートに対し第2ゲートとも言うべき半導体基板は一般にアース電位とされ、そのため上記  $T_1$ 、乃至  $T_2$  のチャンネルは高い逆バイアス電圧が印加される。この逆バイアス電圧が  $T_1$ 、乃至  $T_2$  のしきい電圧を上昇させる。一方定常状態に於て  $T_1$  の  $B_1$  ゲートの電位は  $T_1$  のしきい電圧と同程度の電位差だけ電源電圧  $-V_{DD}$  よりも低く、かかるゲートがこの低い電位とされ、 $T_1$  のみでは  $T_1$  に充分なバイアス電流を供給し得ない。そのため  $T_1$  のみでは  $T_1$  がオフしているとき  $T_2$  を充分にオンさせ得ない。 $T_1$  はこれを  $T_2$  とともに使用することにより  $T_1$  がオンオフしているときの出力端子 110 における電位を最適ならしめる。上記回路装置に於て  $T_1$  のゲートの電位は 0、 $T_2$  より過渡的に電源電圧  $-V_{DD}$  以上の値とされ得る。

第5図は他の応用例を示すものである。図示する回路装置は例えば前記応用例と同様に一枚の  $B_1$  基板に於て構成される。 $T_1$ 、乃至  $T_2$  はゲート

09

及び  $T_1$ 、乃至  $T_2$  を介して放電することになる。 $T_1$ 、乃至  $T_2$  の構成する回路がオンしていないなら  $C_1$  の電荷は放電しない。すなわち出力端子 110 の状態は入力端子 A 乃至 0 の状態により決定されるのである。

しかし、図示する回路装置では  $C_1$  により下記の如き望ましくない影響がある。なお  $C_1$  は接続されていないものとして説明する。すなわち、今  $T_1$ 、乃至  $T_2$  の構成する回路装置がオフしており、 $C_1$  の電位は  $T_1$  がオンする以前にはほぼアース電位と等しいものとする。このような状態に於て端子  $\phi_1$  に印加する信号により  $T_1$  がオンするとする。このとき出力端子側の  $C_1$  の電荷は  $T_1$  を介して  $C_1$  へ分割され、従つて  $T_1$ 、乃至  $T_2$  の構成する回路がオフしているにもかかわらず出力端子 110 の電位は低下する。これは出力端子 110 における信号の高レベルと低レベルとのレベル差を縮小させることになり望ましくない。

本応用例では前述の如く  $T_1$  の  $B_1$  ゲート・ドレイン間に大なるキャパシタンス  $C_2$  を適用した

09

ト MOS トランジスタ、 $\phi_1$ 、 $\phi_2$ 、A、B 及び 0 はそれぞれのゲートに接続された端子、0、及び  $C_1$  は各素子のソース、ドレイン領域及び配線が基板との間に構成する容量、 $C_2$  は第2図(1)の拡散層を設けたことによる  $T_1$  のゲート・ドレイン電極間容量、110 は出力端子、 $-V_{DD}$  は電源ラインを示す。図示する回路装置は論理回路を構成し、その動作を以下説明する。

この回路装置はキャパシタンス  $C_2$  に蓄積された電荷を入力端子 A、B 及び 0 に印加される信号により放電させる。端子  $\phi_1$ 、及び  $\phi_2$  には  $T_1$ 、及び  $T_2$  を同時にオンさせる信号電圧を同時に印加されることはない。端子  $\phi_1$ 、 $\phi_2$  に印加される信号電圧を第6図に示す。端子  $\phi_1$  には時刻  $t_1$  で  $T_1$  をオンさせる信号が印加される。このとき  $C_1$  は  $T_1$  を介して電源  $-V_{DD}$  から充電され、 $C_1$  の電位はほぼ電源電圧まで高められる。 $T_1$  がオフして後、 $t_2$  には  $T_2$  をオンさせる信号が端子  $\phi_2$  に印加される。このとき  $T_1$ 、乃至  $T_2$  の構成する回路がオンしておれば  $C_1$  の電荷は  $T_1$ 、

09

ことにより上記の欠点を除去し得るのである。

すなわち時刻  $t_1$  に  $T_1$  を介して  $C_1$  に充電するとき  $C_2$  はほぼアース電位に有り  $C_1$  にも充電が行なわれる。この  $C_1$  は  $t_2$  で  $T_2$  がオンされるとき出力端子の電位を上昇させるように動き  $C_1$  への充電を加速するように動く。 $\phi_1$  の電位がほぼ零となつたときの出力端子 110 とアース間の容量は  $C_1$  と  $C_2$  が並列接続されたものと等価になるので、出力端子における信号波形の劣化及びレベル差の縮小は著るしく軽減される。なお  $T_1$  をオフさせるとき  $C_1$  の電位をほぼアース電位まで低下せしめる。このとき  $C_2$  が  $\phi_1$  と出力端子 110 の間に介入していることにより出力端子の電位を瞬時的に若干低下せしめるが、出力端子の信号を例えば第6図  $\phi_1$ 、 $\phi_2$  に示されるような時間差をもつて駆動される回路装置に印加するときは上記の瞬時的な低下は特別問題とならない。例えば  $\phi_1$ 、 $\phi_2$  は第5図の  $T_1$ 、 $T_2$  に相当する MOS 素子の端子とされる。

以上、実施例により説明したごとく、あらかじ

09

め、ソース側に $p^+$ 拡散層をゲートとオーバーラップするように形成しておくことで、特定の電極間のゲート容量を十分に大きくとることができるようになった。

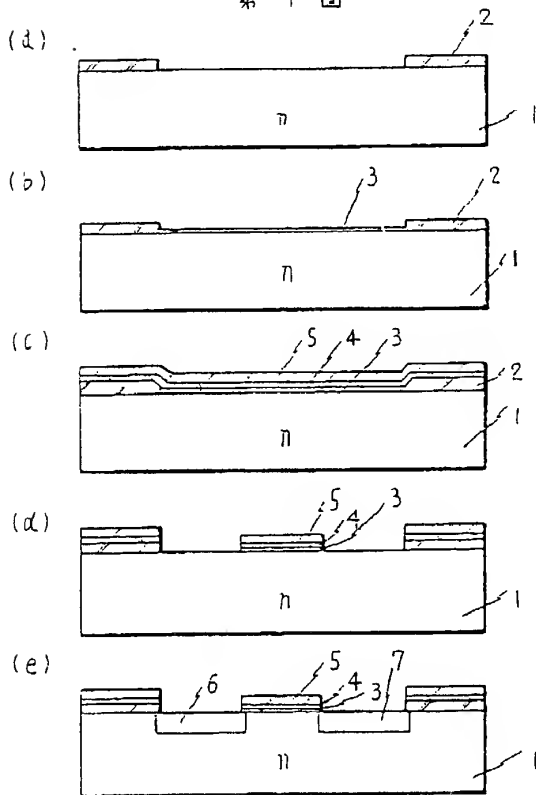
このように本発明によれば、 $B1$ ゲート $MOS$ 半導体装置の製造プロセスにおいて、ゲート電極とソース領域とをオーバーラップさせ、ゲート容量を所望の値に付加させ得るもので、これにより、特性の良好な回路を組込むことが可能となつた。

さらに本発明によれば、高濃度拡散層を別個に形成することで、電極取出し部の抵抗を下げることで、また、 $MOSIC$ の場合、上記高濃度拡散層を埋込抵抗、または埋設配線の一部として利用すれば、特に多層配線構造や交差配線を形成する場合においてきわめて有利である。

実施例において $n$ 型 $B1$ 基板に $p$ 型チャネルの $MOS$ を形成した場合を述べたが、本発明の構成は $p$ 型 $B1$ 基板に $n$ 型チャネルの $MOS$ を形成する場合にも適用できることはもちろんである。

図面の簡単な説明

第1図



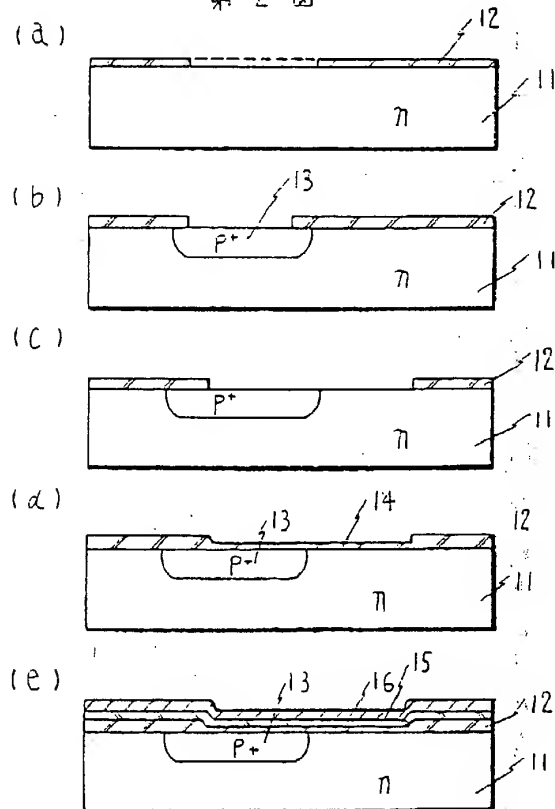
第1図は従来の $B1$ ゲート $MOS$ 半導体装置の製造工程を示す工程図、第2図は本発明による $B1$ ゲート $MOS$ 半導体装置の製造工程を示す工程図、第3図は他の実施例により得られた $B1$ ゲート $MOS$ 半導体装置の断面図、第4図及び第5図は $B1$ ゲート $MOS$ 半導体装置の応用例を示す回路、第6図は第5図の回路の信号波形を示す線図である。

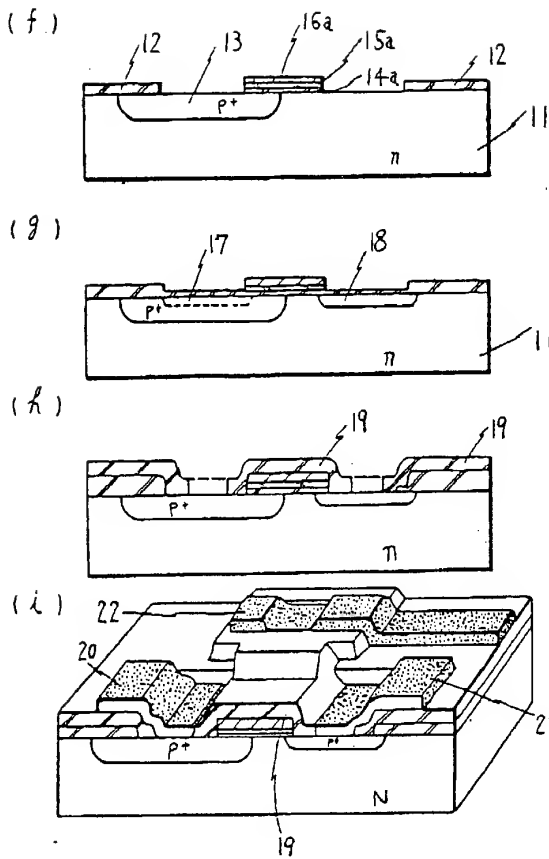
11・・・ $n$ 型 $B1$ ウェハ、12・・・ $SiO_2$ 膜、13・・・ $p$ 型拡散領域、14・・・ $SiO_2$ 膜、15・・・ $B1$ 、 $N_1$ 膜、16・・・多結晶 $B1$ 層(ゲート)、17・・・ソース、18・・・ドレイン、19・・・ $SiO_2$ 膜、20・・・ソース電極、21・・・ドレイン電極、22・・・ゲート電極

代理人 弁理士 小川

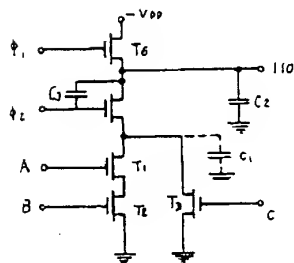


第2図

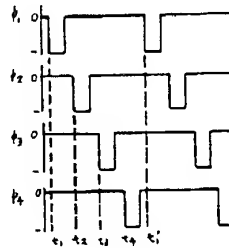




第 5 図

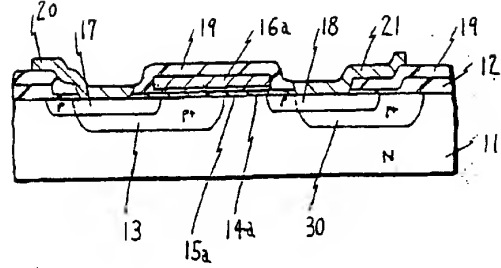


第 6 図

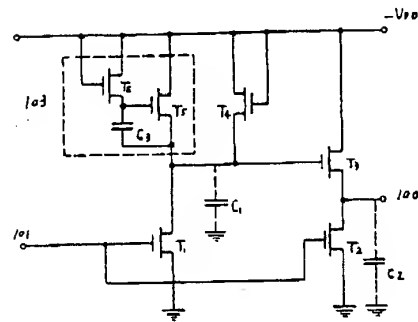


特開 昭48-22285 (7)

第 3 図



第 4 図



# 添附書類の目録

- (1) 特 許 証 1 通
- (2) 図 面 1 通
- (3) 発 行 伏 1 通
- (4) 特 許 願 明 本 1 通

前記以外の発明者、特許出願人または代理人

発 明 者

氏 名

氏 名



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**